

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 6日

出 願 番 号

Application Number:

特願2002-229250

[ST.10/C]:

[JP2002-229250]

出 願 人

Applicant(s):

株式会社日立製作所

2003年 2月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎

出証番号 出証特2003-3011598

【書類名】 特許願

【整理番号】 H02009921

【提出日】 平成14年 8月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/52

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 三輪 孝志

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 堤 安己

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 一谷 昌弘

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 橋爪 孝則

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 佐藤 正道

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 森野 直純

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 中村 昌史

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 玉城 実明

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 工藤 郁夫

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100081938

【弁理士】

【氏名又は名称】 徳若 光政

【電話番号】 0422-46-5761

【手数料の表示】

【予納台帳番号】 000376

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 辺に沿ってアドレス端子に対応したボンディングパッドと、上記第 1 辺に対向する第 2 辺に沿ってデータ端子に対応したボンディングパッドとを有するメモリチップと、

上記メモリチップの第 1 辺に対応して設けられたボンディングリードと、上記メモリチップの第 2 辺に対応して設けられたボンディングリードと、上記ボンディングリードに接続されたアドレス端子及びデータ端子とを備えたパッケージ基板と、

メモリアクセスにも使用されるアドレス出力回路及びデータ入出力回路と、データ処理機能を持つ信号処理回路とを含み、上記パッケージ基板のアドレス端子に対応したボンディングリードに接続されるボンディングパッドとデータ端子に対応したボンディングリードに接続されるボンディングパッドとが 4 つの辺のうちの 2 つの辺に振り分けて配置された半導体チップとを備え、

上記パッケージ基板上に上記メモリチップと半導体チップとが積層構造に搭載されてなることを特徴とする半導体装置。

【請求項 2】 請求項 1 において、

上記半導体チップとメモリチップの対応する端子同士は、上記パッケージ基板の共通化されたボンディングリードに対してワイヤにより接続されるものであることを特徴とする半導体装置。

【請求項 3】 請求項 1 において、

上記メモリチップのアドレス及びデータの各ボンディングパッドのピッチに合わせて、上記半導体チップの対応するアドレス及びデータの各ボンディングパッドが配置され、

上記半導体チップの上記アドレス及びデータの各ボンディングパッドの間には、上記メモリチップ側のピッチに適合するよう上記半導体チップに独自に設けられるボンディングパッドが適宜に配置されるものであることを特徴とする半導体装置。

【請求項 4】 請求項 1 において、

上記パッケージ基板は、半導体チップが搭載される表面と、外部端子としてのボールが設けられる裏面とにそれぞれ配線層が設けられ、対応する配線層はスルーホールで接続されるものであることを特徴とする半導体装置。

【請求項 5】 請求項 4 において、

上記半導体チップは、1チップのマイクロコンピュータを構成するものであり、

上記 4 つの辺のうちの残り 2 つの辺にもマイクロコンピュータに必要とされる外部端子に接続されるボンディングパッドが配列されるものであることを特徴とする半導体装置。

【請求項 6】 請求項 5 において、

上記メモリチップは、上記半導体チップよりも大きな面積を有し、上記第 1 辺と第 2 辺の長さが他の 2 辺の長さに対して短くされた長方形であり、

上記メモリチップの第 1 辺と第 2 辺に対応して設けられたボンディングリード列に対して、スルーホールにいたる配線の引出し方向がパッケージ基板の内側に向かうようにされてなることを特徴とする半導体装置。

【請求項 7】 請求項 6 において、

上記パッケージ基板の表面に上記メモリチップが搭載され、

上記メモリチップの表面に上記半導体チップが搭載されて積層構造にされてなることを特徴とする半導体装置。

【請求項 8】 請求項 5 において

上記メモリチップの第 1 辺と第 2 辺以外の 2 つの辺に対応して設けられたボンディングリード列に対して、スルーホールにいたる配線の引出し方向がパッケージ基板の内側と外側に振り分けられてなることを特徴とする半導体装置。

【請求項 9】 請求項 8 において、

上記メモリチップの第 1 辺と第 2 辺に対応して設けられたボンディングリードの長さに対して、上記メモリチップの第 1 辺と第 2 辺以外の 2 つの辺に対応して設けられたボンディングリードの長さが短くされることを特徴とする半導体装置。

【請求項 1 0】 請求項 6 において、

上記メモリチップの上記第 1 辺と第 2 辺に対応されたパッケージ基板のボンディングリードは、それに対応したメモリチップ及び半導体チップのボンディングパッドとの接続を行うワイヤの延長方向に長手方向が向かうような長方形とされるものであることを特徴とする半導体装置。

【請求項 1 1】 請求項 7 において、

上記メモリチップの第 1 辺及び第 2 辺に対応してそれぞれ設けられたボンディングリードは、他のボンディングリードに接続されるワイヤが上空を通過する部分に切り欠きが設けられるものであることを特徴とする半導体装置。

【請求項 1 2】 請求項 1 0 において、

上記メモリチップの第 1 辺及び第 2 辺に対応してそれぞれ設けられたボンディングリードは、それに接続されるワイヤの延長方向に沿って内外の 2 列に千鳥配列され、

内側のボンディングリードにおいて内端に切り欠き部が設けられることを特徴とする半導体装置。

【請求項 1 3】 少なくとも第 1 辺と上記第 1 辺に対向する第 2 辺に沿って配列されたボンディングパッドを有する半導体チップと、

上記半導体チップの第 1 辺及び第 2 辺に対応してそれぞれ設けられたボンディングリードと、上記ボンディングリードに接続された外部端子とを備えたパッケージ基板とを備え、

上記ボンディングリードは、他のボンディングリードに接続されるワイヤが上空を通過する部分に切り欠きが設けられるものであることを特徴とする半導体装置。

【請求項 1 4】 少なくとも第 1 辺と上記第 1 辺に対向する第 2 辺に沿って配列されたボンディングパッドを有する半導体チップと、

上記半導体チップの第 1 辺及び第 2 辺に対応してそれぞれ設けられたボンディングリードと、上記ボンディングリードに接続された外部端子とを備えたパッケージ基板とを備え、

上記ボンディングリードは、それに接続されるワイヤの延長方向に沿って内外

の 2 列に千鳥配列され、

各リードスルーホールにいたる配線の引出し方向がパッケージ基板の内側に向かうようにされてなり、

内側のボンディングリードにおいて内端に切り欠き部が設けられることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置に関し、例えば複数の半導体チップがパッケージ基板に積層構造に搭載されてなる半導体装置に利用して有効な技術に関するものである。

【0002】

【従来の技術】

パッケージ基板に半導体チップを積層構造に組み立てなるスタック L S I（大規模集積回路）は、既存の半導体チップを組み合わせる事が多く、パッケージの配線で共通の信号や電源／グランドをつなぐことが一般に行われる。この発明を成した後の公知例調査によって、この発明に関連するものとして、特開平 2 0 0 0 - 4 3 5 3 1 号公報の存在が報告された。しながら、かかる公報に記載の技術は、スタックドパッケージ L S I の機種設計開発にかかる時間と労力の削減に向けられており、後述するようにパッケージ基板の外形サイズの小型化、薄型化に向けた配慮を欠くものである。

【0003】

【発明が解決しようとする課題】

スタックドパッケージ L S I を構成する 2 つのチップにおける共通の信号や、電源／グランドは、必ずしもチップ間でつなぎやすいところにパッドを配置しているわけではないので、パッケージ基板上で配線をつなぐ場合もクロス配線が出たり、配線が極端に密集するケースが多く、パッケージ基板の配線層数が多くなったり、外形サイズが大きくなったりして小型薄型化の障害となる。搭載するチップの接続端子も個別に設ける為に広い端子配列エリアが必要となることもパッ

ケース外形サイズ増加の要因となってしまう。

【 0 0 0 4 】

図 1 9 ないし図 2 1 には、この発明に先立って検討されたスタックドパッケージ L S I の例が示されている。マイコン L S I とメモリ L S I とはそれぞれが既存の半導体チップから構成される。図 1 9 には、スタックドパッケージ L S I を構成するマイコン L S I、メモリ L S I 及びパッケージ基板のそれぞれが示されている。マイコン L S I とメモリ L S I とはそれぞれが既存の半導体チップから構成される。図 2 0 には基板上にメモリ L S I とマイコン L S I を搭載後、ボンディングを行った後の外観を示し、図 2 1 には断面図が示されている。

【 0 0 0 5 】

前記図 1 9 ～図 2 1 に示したように、スタックドパッケージ L S I は、ガラスエポキシからなるパッケージ基板の上にメモリ L S I をダイボンドした後、マイコン L S I を重ねてダイボンドし、各チップと基板間をワイヤボンディングした後、レジンでモールドし、裏面端子部にはんだボール付けをした構造である。

【 0 0 0 6 】

図 1 9 においてマイコン L S I はメモリ等との接続用のアドレス端子、データ端子を隣接する辺にそれぞれ集中的に配置してある。この構成は、マンコン L S I とメモリ L S I 等を平面的に実装する場合、実装基板においてメモリ等に向けてアドレスバス及びデータバスを最短距離で、しかも集中的に配置することができる。一方メモリ L S I は、端子数そのものが少ないこと及び標準的なパッケージの外部端子配列に対応して、一辺に主としてアドレス端子が配置され、これと対向する他の一辺にデータ端子が配置される。

【 0 0 0 7 】

上記のようなボンディングパッドが配列されたマイコン L S I とメモリ L S I と積層すると、例えばマイコン L S I とメモリ L S I のアドレス端子の向きを合わせたとすると、データ端子の向きが合わず、パッケージ基板上で結線のための配線引き引き回しが必要となる。また、上記合わせたはずのアドレス端子の方もマイコン L S I とメモリ L S I とでボンディングパッドの配列のピッチが合わない為、殆どの場合それぞれ独立に端子を設けなければならないこともある。

【 0 0 0 8 】

これによりパッケージ基板において、ボンディング端子数（ボンディングリード）が増加し、ボンディングリードが1列では並びきらず、図20の例のように2列に配置する等の必要がある。このためパッケージ基板の外形サイズも大きくなってしまいうという問題があった。更に、マイコンLSIとメモリLSIで相互に接続すべき端子の配置によっては、パッケージ基板上の配線が交差することになり、多層配線基板にする必要があり、外形寸法としての厚みも厚くなってしまいう等の課題も生じるものである。

【 0 0 0 9 】

この発明の目的は、外形サイズの小型化、薄型化を実現したスタックド構造の半導体装置を提供することにある。この発明の他の目的は、外形サイズの小型化に加えて高性能と高信頼性を実現した半導体装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 0 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。メモリチップの対向する第1辺と第2辺に振り分けられたアドレス用とデータ用のボンディングパッドとにそれぞれに対応して設けられたボンディングリードと、上記ボンディングリードに接続されたアドレス端子及びデータ端子とを備えたパッケージ基板を用い、メモリアクセスにも使用されるアドレス出力回路及びデータ入出力回路と、データ処理機能を持つ信号処理回路とを含み、上記パッケージ基板のアドレス端子に対応したボンディングリードに接続されるボンディングパッドとデータ端子に対応したボンディングリードに接続されるボンディングパッドとが4つの辺のうちの2つの辺に振り分けて配置された半導体チップと上記メモリチップとを積層構造に搭載する。

【 0 0 1 1 】

【発明の実施の形態】

図1ないし図3には、この発明に係るスタックドパッケージLSIの一実施例

の構成図が示されている。図 1 には、スタックドパッケージ L S I を構成するマイコン L S I、メモリ L S I 及びパッケージ基板のそれぞれが示され、図 2 には基板上にメモリ L S I とマイコン L S I を搭載後、ボンディングを行った後の外観が示され、図 3 には断面が示されている。図 1 ないし図 3 に示したように、この実施例のスタックドパッケージ L S I は、ガラスエポキシからなるパッケージ基板の上にメモリ L S I をダイボンドした後、マイコン L S I を重ねてダイボンドし、各チップと基板間をワイヤボンディングした後、レジンでモールドし、裏面端子部にはんだボール付けをした構造である。

【 0 0 1 2 】

図 1 において、メモリ L S I は、既存の半導体チップから構成されるのに対して、マイコン L S I はそれと組み合わされるメモリ L S I に対応してボンディングパッドの配列が決められる。マイコン L S I は、いわゆる A S I C（アプリケーション・スペシファイド・インテグレートッド・サーキット）すなわち特定用途 I C を構成するようにされる。半導体集積回路装置には、C P U（中央処理装置）を中心とする複数の回路ブロックが搭載されて A S I C 構成を容易ならしめるように、それぞれの回路ブロックが独立的な回路機能単位としてのいわゆるモジュールないしはマクロセルをなすようにされる。各機能単位は、それぞれその規模構成が変更可能にされる。上記のようなメモリ L S I との組み合わせに対応したマイコン L S I のボンディングパッドの配列の設定は、上記機能単位の組み合わせに対応した機能ブロックのレイアウト設計の際に合わせて行われる。

【 0 0 1 3 】

パッケージ基板（配線基板）は、上記のようなマイコン L S I とメモリ L S I とのボンディングパッドの配列に対応してボンディングリード（ワイヤ接続部）の配列が設定される。上記パッケージ基板は、例えばガラス・エポキシ系のベース基板と、その上面及び下面に形成された複数の銅配線と、上記ワイヤ接続部及び外部端子接続部（バンブランド）以外の部分において、上記複数の銅配線の表面を覆う絶縁膜（ソルダレジスト膜）と、上記上面及び下面に形成された複数の銅配線を互いに接続するスルーホール配線を含む。

【 0 0 1 4 】

メモリ L S I は、特に制限されないが、約 8 M ビットのような記憶容量を持つスタティック型 R A M であり、その半導体チップの形状が長方形とされて短辺側にアドレスとデータとが振り分けられてボンディングパッドが設けられる。このようなメモリ L S I に対して、マイコン L S I は、チップの形状がほぼ正方形とされ、しかも上記メモリ L S I よりも小さな外形サイズとされる。それ故、前記のようにパッケージ基板の上にメモリ L S I をダイボンドした後、マイコン L S I を重ねてダイボンドし、各チップと基板間をワイヤボンディングする構成となる。

【 0 0 1 5 】

上記パッケージ基板は、外形寸法を小さくするために、ほぼ正方形として外周に対して最も大きな面積を確保する。このようにすると、メモリ L S I の短辺側に面積的な余裕がなくなるので、その外周に沿って長方形で示したボンディングリードが配置され、スルーホールにいたる配線の引出し方向がパッケージ基板の内側に向かうようにされる。上記アドレスやデータに対応したボンディングリードに対しては、それに対応したスルーホールが基板の内側に配列される。これに対して、メモリ L S I の長辺側に面積的な余裕があるので、ボンディングリードを挟むように両側にスルーホールが交互に分散して配置される。

【 0 0 1 6 】

上記のように、マイコン L S I はアドレス端子とデータ端子を対向する辺に集中して配置される。またメモリ L S I との接続に寄与しない端子類はこれ以外の辺に主に配置される。これによりメモリ L S I と積層しても相互に接続される端子同士の向きが合わないということがないようにされる。更に積層してボンディングする場合にワイヤが複雑にクロスすることの無いように、マイコン L S I はメモリ L S I の端子に併せてピッチを調整してある。つまり、ワイヤが複雑にクロスすると、例えば図 2 1 のようにワイヤを縦方向に 3 本重ねた場合と、図 3 のようにクロスを無くして 2 本にした場合とでは、モールド（封止樹脂体）の厚みを薄くすることができる。

【 0 0 1 7 】

上記ピッチ調整は単に間隔を調整するだけでも可能であるが、本実施例ではア

ドレス若しくはデータ端子列の中にそれ以外の機能の端子を配列することでピッチ調整を行っている。このようにピッチ調整を行っている為に、マイコンLSIとメモリLSIの接続すべき端子同志を基板側の同一のパッド上にボンディングすることが可能となり、パッケージ基板上で端子間を接続する為の配線引き回しが不要となっている。この結果、パッケージ基板はボンディングリードから外部接続用のボール端子までの結線だけで済むので、基板の表面と裏面に形成される2層配線で十分必要な機能を果たすことが可能となる。このようなピッチ調整が行われた構成は、上記モールドを薄くできることと相まってスタックドパッケージLSIの薄型化に寄与するものとなる。ボンディングリードはマイコンLSIとメモリLSIで殆どが共用できるようになるので、リードの数も必要最低限で抑えられ、外形サイズの小型化が可能である。

【 0 0 1 8 】

マイコンLSIとメモリLSIで共有してボンディングする辺のリードに関しては、リードの長さを長くして、マイコンLSIとメモリLSIに向けて接続されるワイヤを縦に並べてボンディングできるようにしてある。これに対して、上記メモリLSIの長辺側に対応したボンディングリードのように、マイコンLSIのみをボンディングする辺のリードはワイヤ1本分をボンディングできる長さに留めてあり、配線領域が必要以上にならないようにしてなる。

【 0 0 1 9 】

本実施例のように辺単位にボンディングリードの長さを変えずに、複数本ボンディングするリードかどうかでリード長を変えてもよい。小型化に関する本実施例のもう一つの特徴は、前記のようにメモリチップが長方形であることから、メモリチップのボンディングリードを配置する辺は外形サイズに余裕が無い為、ボンディングリードが最外周に配置してあり、スルーホールは内周に向かって配置して有る。これに対し、マイコンチップしかボンディングしない辺に関しては、ボンディングリードの内外に振り分けてスルーホールを配置してある。

【 0 0 2 0 】

図4には、この発明に用いられるパッケージ基板の他の一実施例の上面図が示されている。前記図1の例では、メモリLSIとマイコンLSIのアドレス同志

、データ同志が完全に同一辺に配置された例であるが、チップのレイアウトの関係で必ずしも、アドレスとデータが対向する辺に完全に集約されるとは限らない。又アドレスとデータが対向辺に完全に分離されていても制御用の信号、例えばリード／ライト、チップセレクト、アウトプットイネーブルといったような制御信号等がマイコンとメモリで必ずしも一致しない場合がある。

【 0 0 2 1 】

この実施例では、マイコン L S I とメモリ L S I とで同じ端子、又は相互に接続すべき端子（ボンディングパッド）が対向辺に配置された場合には、基板に対向辺を渡る配線が設けられる。マイコン L S I とメモリ L S I で相互に接続すべき信号（アドレスやデータ）の大部分を同一辺に集めることで、上記渡り配線は最小限に限られる。これにより、基板の表面と裏面に形成される 2 層配線で十分必要な機能を果たすことが可能となる。

【 0 0 2 2 】

図 5 には、この発明に用いられるパッケージ基板の一実施例の上面図が示されている。この実施例は、ボンディングリードの形状に向けられている。同図の実施例では、前記図 1 の実施例と同様に矩形のボンディング用リードを配列したパッケージ基板の例である。このようなパッケージ基板にメモリ L S I とマイコン L S I を積層搭載し、ボンディングした外観が図 6 に示されている。この図 6 も前記図 2 の実施例に対応している。

【 0 0 2 3 】

この実施例においては、メモリ L S I とマイコン L S I で共通にボンディングを行うボンディングリードでは少なくとも 2 本のワイヤをボンディングする為に、マイコン L S I のワイヤはリードの奥（外側）の方に接続する必要がある。そして、マイコン L S I のボンディングパッドが基板の中央寄りに密集して配置されることの結果、ワイヤは基板の中央寄りに集中するように放射状に向かうようにされる。この結果、ワイヤが隣接する他のリードの上空を通過してボンディングされる部分が発生し、隣接リードとワイヤ間のショートのパテンシャルが高いという問題がある。

【 0 0 2 4 】

図 7 には、この発明に用いられるパッケージ基板の他の一実施例の上面図が示されている。この実施例は、前記図 5 の実施例のようなワイヤが隣接する他のリードの上空を通過してボンディングされる部分が発生する可能性があるという問題を回避する方法に向けられている。この実施例では、ボンディングリードがマイコン L S I 及びメモリ L S I の対応するボンディングパッドとの接続を行うワイヤの向きを考慮してボンディングリードが傾けて配置される。このようなパッケージ基板にメモリ L S I とマイコン L S I を積層搭載し、ボンディングした外観が図 8 に示されている。

【 0 0 2 5 】

図 8 において、メモリ L S I とマイコン L S I で共通にボンディングを行うボンディングリードでは少なくとも 2 本のワイヤがマイコン L S I 及びメモリ L S I の対応するボンディングパッドに向かうように放射状にされるが、この向きとボンディングリードの長手方向の向きがほぼ同じくされることにより、ワイヤが隣接する他のリードの上空を通過してボンディングされる部分がなくなる。また、これと同時にワイヤが複雑にクロスすることが無くなり、マイコン L S I とメモリ L S I に対応した最大でも 2 本のワイヤが重なるだけとなり、モールドの厚みを薄くすることができる。

【 0 0 2 6 】

図 9 には、この発明に用いられるパッケージ基板の他の一実施例の上面図が示されている。この実施例は、前記図 5 の実施例のようなワイヤが隣接する他のリードの上空を通過してボンディングされる部分が発生するという問題を回避する方法に向けられている。この実施例では、隣接リードのワイヤが上空を通過する部分を切り欠いて、隣接リードとワイヤ間のショートのパテンシャルを低減しつつ、リードをピッチを必要最低限まで縮められる。このようなパッケージ基板にメモリ L S I とマイコン L S I を積層搭載し、ボンディングした外観が図 1 0 に示されている。

【 0 0 2 7 】

図 1 0 において、前記のようにメモリ L S I とマイコン L S I で共通にボンディングを行うボンディングリードでは少なくとも 2 本のワイヤがマイコン L S I

及びメモリ L S I の対応するボンディングパッドに向かうように放射状にされ、マイコン L S I のワイヤはリードの奥（外側）の方に接続する必要がある。この結果、ワイヤが隣接する他のリードの上空を通過してボンディングされる部分が発生し、隣接リードとワイヤ間のショートのパテンシャルが高くなるが、上記隣接ワイヤが上空を通過する部分のリードが切り欠かれており、隣接リードとワイヤ間のショートの問題を回避することができる。

【 0 0 2 8 】

図 1 1 には、この発明に係る半導体装置の他の一実施例の一部外観図が示されている。この実施例は、パッケージ基板に 1 つの半導体集チップ L S I を搭載した場合の外観の一部が例示的に示されている。この実施例では、パッケージ基板に搭載される半導体チップは、1 つの半導体チップ L S I が搭載される。もちろん、この半導体チップ L S I 上に他の半導体チップを積層構造にするものにも同様に適用できる。

【 0 0 2 9 】

この実施例は、半導体チップ L S I に設けられるボンディングパッドの数が多くて、基板上にボンディングリードを 1 列に並べることができない場合に適用される。この場合には、ボンディングリードが 2 列に並べられ、内側と外側の列は交互に、いわゆる千鳥配置にされる。この理由は、ボンディングリードとボンディングパッドとを接続する隣接ワイヤ同士の重なりを無くことと、外側のボンディングリードから内側に設けられたスルーホールに延びる配線を形成する領域を確保するためである。

【 0 0 3 0 】

図 1 2 には、この発明に係る半導体装置の他の一実施例の一部外観図が示されている。この実施例は、前記図 1 1 の実施例の改良に係るものであり、パッケージ基板に 1 つの半導体集チップ L S I を搭載した場合の外観の一部が例示的に示されている。前記図 1 1 の実施例では、外側のボンディングリードから延びるワイヤが内側の他のリードの上空を通過してボンディングされる部分が発生し、内側のリードとワイヤ間のショートのパテンシャルが高くなる可能性を持っている。

【 0 0 3 1 】

この実施例では、かかる問題を回避するために、ボンディングリードが半導体チップ L S I の対応するボンディングパッドとの接続を行うワイヤの向きを考慮してボンディングリードが傾けて配置される。ボンディングリードと、それに接続されるワイヤがほぼ同じ向きとなるように放射状とすることにより、ワイヤが内側の他のリードの上空を通過してボンディングされる部分がなくなる。また、これと同時にワイヤ同士がクロスすることが無くなり、ワイヤ同士のショートの防止とともにモールドの厚みを薄くすることができる。

【 0 0 3 2 】

図 1 3 には、この発明に係る半導体装置の他の一実施例の一部外観図が示されている。この実施例は、前記図 1 2 の実施例の改良に係るものであり、パッケージ基板に 1 つの半導体集チップ L S I を搭載した場合の外観の一部が例示的に示されている。前記図 1 2 の実施例では、リードを多列にし、リードの傾きをワイヤ方向に合わせると、外側に行くほどリード間隔は広くなる。逆に内側のリードのコーナー部の間隔が狭くなり、外側のリードからスルーホールに延びる配線が通らなくなる場合が生じる。かかる問題を回避するために、この実施例では、そこで放射状に広げたリードの内周コーナー部を切り欠き、配線を通す為の必要スペース幅を確保するものである。これにより必要以上にボンディングエリアを広げずに、配線の引き回しが可能となる。

【 0 0 3 3 】

図 1 5 には、この発明に用いられるマイコン L S I の一実施例のブロック図が示されている。同図の各回路ブロックは、公知の C M O S (相補型 M O S) 半導体集積回路の製造技術によって、単結晶シリコンのような 1 個の基板上において形成される。

【 0 0 3 4 】

上記マンコン L S I は、特に制限されないが、R I S C (Reduced instruction set computer) タイプの中央処理装置 C P U により、高性能な演算処理を実現し、システム構成に必要な周辺機器を集積し、携帯機器応用に向けられている。中央処理装置 C P U は、R I S C タイプの命令セットを持っており、基本命令はパ

イプライン処理を行って1命令1ステート（1システムクロックサイクル）で動作する。この中央処理装置CPUとデータシグナルプロセッサDSPを中心として、例えば携帯電話機に向けて以下のような周辺回路が搭載されている。

【0035】

内部バスは、Iバス、Yバス、Xバス、Lバス及び周辺バスからなり、最少部品点数によりユーザーシステムを構成できるように内蔵周辺モジュールとして、画像処理に向けたメモリXYMEM、メモリコントローラXYCNTが設けられる。このメモリXYMEM及びコントローラXYCNTは、Iバス、X、Yバス及びLバスに接続され、画像処理のためのデータ入出力及び表示動作のためのデータ出力動作が行われる。

【0036】

上記Iバスには、キュッシュメモリCACHE及びキャッシュメモリコントローラCCN、メモリマネージメントコントローラMMU、トランスレーショナルックアサイドバッファTLB、割り込みコントローラINTC、クロック発振器／ウォッチドッグタイマCPG／WDT、ビデオI/OモジュールVIO及び外部バスインターフェイスが設けられる。この外部バスインターフェイスを介して、前記メモリLSIと接続される。

【0037】

Lバスには、上記キュッシュメモリCACHE及びキャッシュメモリコントローラCCN、メモリマネージメントコントローラMMU、トランスレーショナルックアサイドバッファTLBと、上記中央処理装置CPU、データシグナルプロセッサDSP、ユーザーブ레이크コントローラUBC及びアドバンストユーザーデバッガAUDが接続される。

【0038】

上記周辺バスには、16ビットのタイマユニットTMU、コンペアマッチタイマCMT、シリアルI/O（FIFO付き）SIOF0、FIFO内蔵シリアルコミュニケーションインターフェイスSCIF1、 I^2C コントローラ I^2C 、多機能インターフェイスMFI、NAND／ANDフラッシュインターフェイスFLCTL、ユーザーデバックインターフェイスH-UDI、ASEメモリAS

ERAM及びピンファンクションコントローラPFC、RCLK動作ウォッチドッグタイマRWD Tが接続される。上記周辺バスとIバスには、バスステートコントローラBSC、ダイレクトメモリアクセスコントローラDMACが接続される。

【0039】

図15には、図14のマイコンLSIの一実施例の概略ピン配置図が示されている。この実施例では、全体で176個のピン（ボンディングパッド）を有しているが、そのうちメモリLSIと接続されるピンについては、黒丸が付されている。前記図1のマイコンLSIと同様にアドレスとデータに対応したピンが上下の対向する2つの辺に振り分けられて配置される。この例では、上辺にデータに対応したピンが配置され、下辺にアドレスに対応したピンが配置される。そして、それが搭載されるメモリLSIの対応するピン（ボンディングパッド）のピッチに適合させるように、マイコンLSI単独で接続されるピンが、上記メモリLSIと接続される黒丸を付したピンの間に適宜に配置される。

【0040】

図示しないが、マイコンLSIに設けられるピンとしては、上記アドレスとしてはA0～A25、データとしてはD0～D15が設けられる。この他に、電源系として電源電圧VCC、接地電位VSSがそれぞれ複数個設けられる。電源系には、ノイズの影響を軽減するためにデジタル回路向けとしては、外部端子へ信号出力を行う出力回路と内部回路に分けられる。また、アナログ信号を扱う回路にも独自の電源ピンが設けられる。

【0041】

メモリLSIは、約8Mビットの記憶容量を持ち、16ビットの単位でメモリアクセスを行うので、アドレスとしてはA0～A18の19ビットとなる。マイコンLSIは、上記のようにアドレスとしてA0～A25の26個を持つものであるが、マイコンLSIとメモリLSIとで共通接続されるの19個であり、データ用と合わせて $19 + 16 = 35$ 本となる。

【0042】

この他、特に制限されないが、共通に接続される制御信号としてWE（ライト

イネーブル)、OE(アウトプットイネーブル)、US(アッパーセレクト)、LS(ロウセレクト)の4本がある。信号USは16ビットのデータのうち上位8ビットの書き込みを指示するものであり、信号LSは16ビットのデータのうち下位8ビットの書き込みを指示する。これにより、マイコンLSIとメモリLSIとで共通接続されるものは、全体として39本のような少ない数となる。そこで、メモリLSIの上記共通に接続されるピンの配置に合わせるように、マイコンLSIにおいては同図の黒丸で示したように飛び飛びにデータ用のボンディングパッド及びアドレス用のボンディングパッドが配置される。

【0043】

図16には、この発明に係る半導体装置の一実施例である基板上にメモリLSIとマイコンLSIを搭載後ボンディングを行った後の外観図が示されている。この実施例は、前記図14、図15で説明したマイコンLSIと約8MビットのSRAMからなるメモリLSIを搭載したスタックドパッケージLSIが示されている。同図には、パッケージ基板の裏面に設けられるボールが丸で示されている。

【0044】

この実施例では、基板に設けられるボンディングリードのうち、黒く塗りつぶしたものは、そこからメモリLSIとマイコンLSIに向けてワイヤが延びて共通に接続される。図17には、その一部拡大図が示されており、ボンディングリードがワイヤの延長方向に沿って斜めにされており、ボンディングリードからメモリLSIとマイコンLSIに向けて延びるワイヤが互いにクロスすることはないようにされる。また、この構成は、ボンディングリードの上空を隣接リードから延びるワイヤがクロスすることも防いでいる。

【0045】

図18には、図16の半導体装置に用いられるパッケージ基板の一実施例の上面図が示されている。基板の上辺と下辺には、前記メモリLSI及びマイコンLSIのデータ端子とアドレス端子を含むボンディングリードが設けられる。これら上下の辺に設けられるボンディングリードは、最外周に沿って配置される。これに対して、マイコンLSIのみに接続するボンディングリードは、それを中心

にして左右に分散してスルーホールが設けられる。つまり、左右の辺においては、最外周にはスルーホールが設けられる。上記ボンディングリードを中心にして左右に分散してスルーホールの数は、前記図 1 の実施例のように一律に交互に均等分けられるのではなく、基板上のスペースを考慮して適宜にその数が決められるものである。

【 0 0 4 6 】

上記の実施例では、基板パッケージ上の配線引き回しを最小限に抑えられる為、外形サイズを小さく抑える事ができる。クロス配線がなくなる事でパッケージ配線は表裏 2 層で結線可能となる為、薄型で安価な基板が使えるようになる。更に、ワイヤのクロスも抑えることにより、モールド部を薄くすることができる。ちなみに、前記本願発明に先立って検討された図 1 9 のような構成にした場合、1. 4 m m 口で L F B G A にしかできなかった半導体装置を、前記図 1 6 の構成にすることにより、1. 2 m m 口で T F B G A のように 1 ランク小さい半導体装置を実現することができるものである。

【 0 0 4 7 】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、メモリ S L I は、前記のような S R A M の他に、ダイナミック型 R A M 、フラッシュメモリ (E E P R O M) であってもよい。マイコン L S I は、マイクロプロセッサ等を含むような各種のデジタル信号処理回路であればよい。この発明は、前記のようなスタックドパッケージ L S I の他に、基板上に 1 つの半導体チップを搭載し、B G A 構成のパッケージが採用される半導体装置にも広く利用できる。

【 0 0 4 8 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。メモリチップの対向する第 1 辺と第 2 辺に振り分けられたアドレス用とデータ用のボンディングパッドとにそれぞれに対応して設けられたボンディングリードと、上記ボンディングリードに接続されたアド

レス端子及びデータ端子とを備えたパッケージ基板を用い、メモリアクセスにも使用されるアドレス出力回路及びデータ入出力回路と、データ処理機能を持つ信号処理回路とを含み、上記パッケージ基板のアドレス端子に対応したボンディンググリードに接続されるボンディングパッドとデータ端子に対応したボンディンググリードに接続されるボンディングパッドとが4つの辺のうちの2つの辺に振り分けて配置された半導体チップと上記メモリチップとを積層構造に搭載することにより、基板パッケージ上の配線引き回しを最小限に抑えられる為、外形サイズを小さく抑える事、及び表裏2層で結線可能となる為に薄型で安価な基板が使えるようになる。

【図面の簡単な説明】

【図1】

この発明に係るスタックドパッケージLSIの一実施例を説明するためのマイコンLSI、メモリLSI及びパッケージ基板の構成図である。

【図2】

図1の基板上にメモリLSIとマイコンLSIを搭載後ボンディングを行った後の外観図である。

【図3】

図2に示したスタックドパッケージLSIの一実施例の断面図である。

【図4】

この発明に用いられるパッケージ基板の他の一実施例を示す上面図図である。

【図5】

この発明に用いられるパッケージ基板の一実施例を示す上面図図である。

【図6】

図5の基板上にメモリLSIとマイコンLSIを搭載後ボンディングを行った後の外観図である。

【図7】

この発明に用いられるパッケージ基板の他の一実施例を示す上面図図である。

【図8】

図7の基板上にメモリLSIとマイコンLSIを搭載後ボンディングを行った

後の外観図である。

【図 9】

この発明に用いられるパッケージ基板の他の一実施例を示す上面図である。

【図 1 0】

図 9 の基板上にメモリ L S I とマイコン L S I を搭載後ボンディングを行った後の外観図である。

【図 1 1】

この発明に係る半導体装置の他の一実施例を示す一部外観図である。

【図 1 2】

この発明に係る半導体装置の他の一実施例を示す一部外観図である。

【図 1 3】

この発明に係る半導体装置の他の一実施例を示す一部外観図である。

【図 1 4】

この発明に用いられるマイコン L S I の一実施例を示すブロック図である。

【図 1 5】

図 1 4 のマンコン L S I の一実施例を示す概略ピン配置図である。

【図 1 6】

この発明に係る半導体装置の一実施例である基板上にメモリ L S I とマイコン L S I を搭載後ボンディングを行った後の外観図である。

【図 1 7】

図 1 6 の一部拡大図である。

【図 1 8】

図 1 6 の半導体装置に用いられるパッケージ基板の一実施例を示す上面図である。

【図 1 9】

この発明に先立って検討されたスタックドパッケージ L S I の一実施例を説明するためのマイコン L S I 、メモリ L S I 及びパッケージ基板の構成図である。

【図 2 0】

図 1 9 の基板上にメモリ L S I とマイコン L S I を搭載後ボンディングを行っ

た後の外観図である。

【図 2 1】

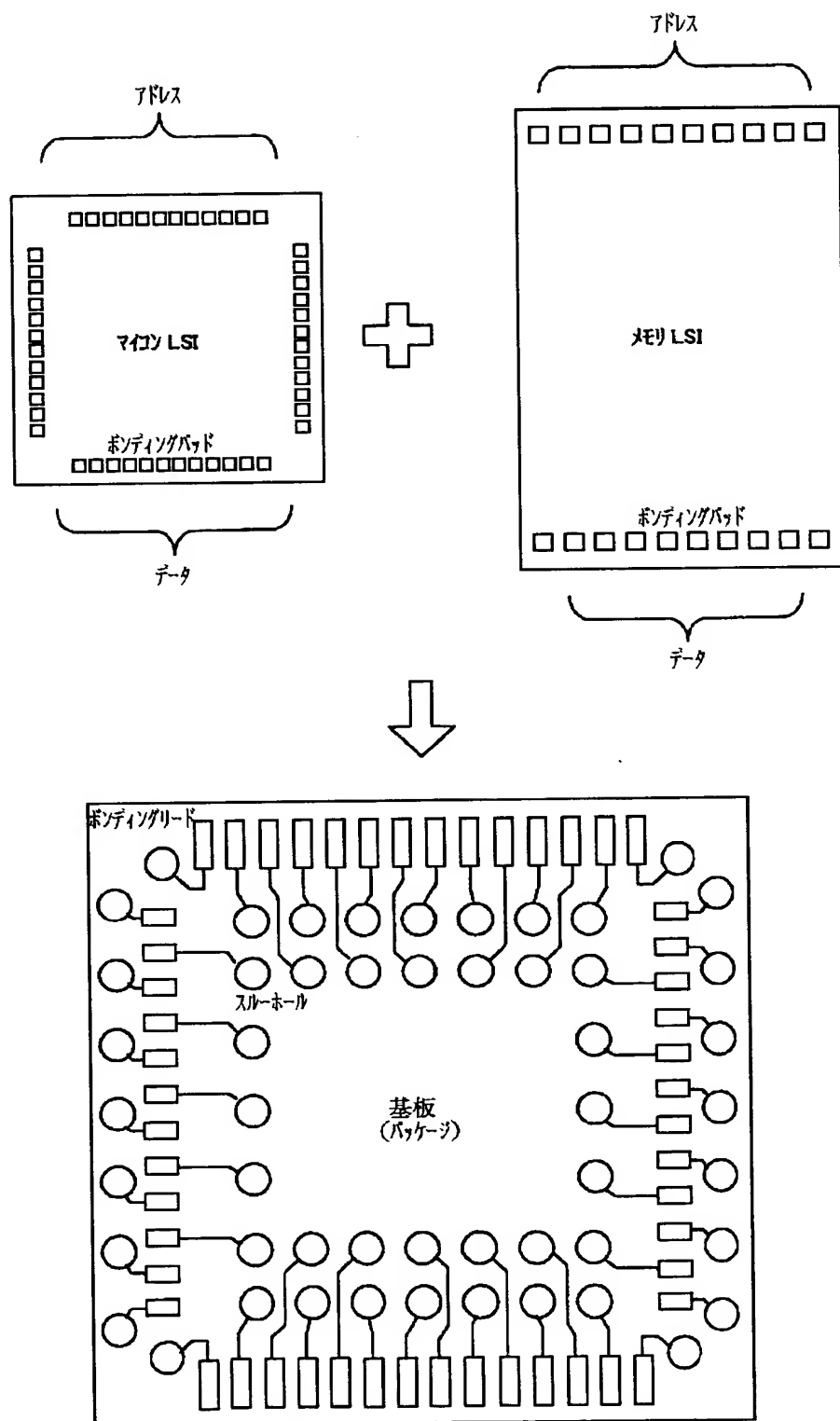
図 2 0 に示したスタックドパッケージ L S I の断面図である。

【符号の説明】

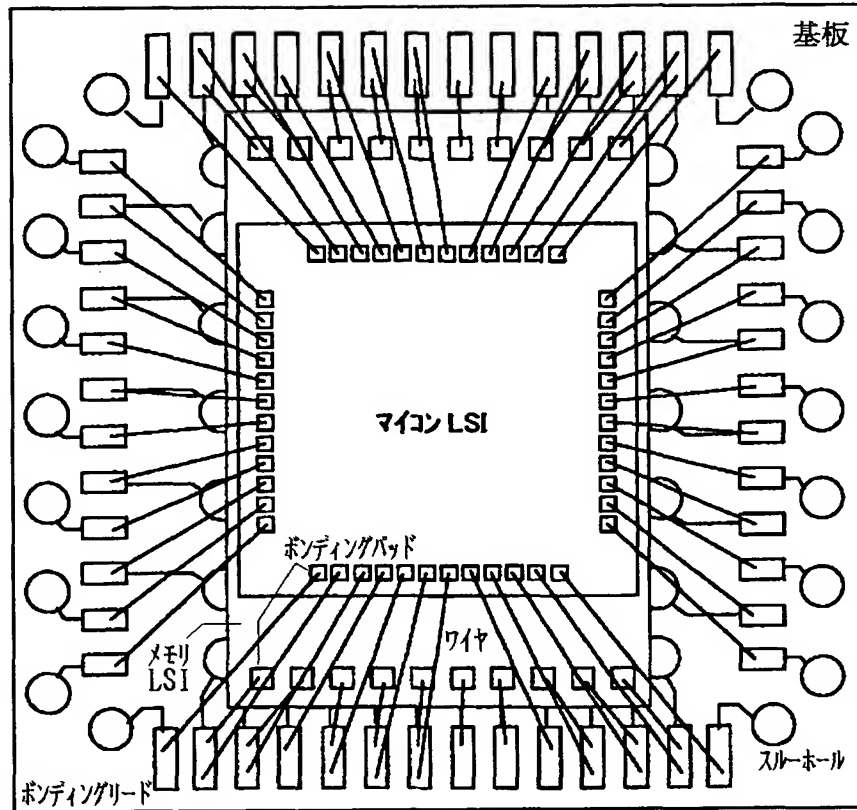
C P U … 中央処理装置、D S P … データシグナルプロセッサ D S P、X Y M E M … メモリ、X Y C N T … メモリコントローラ、C A C H E … キュッシュメモリ、C C N … キャッシュメモリコントローラ、M M U … メモリマネージメントコントローラ、T L B … トランスレーションルックアサイドバッファ、I N T C … 割り込みコントローラ、C P G / W D T … クロック発振器 / ウォッチドッグタイマ、V I O … ビデオ I / O モジュール、U B C … ユーザーブレイクコントローラ、A U D … アドバンストユーザーデバッグ、T M U … タイマユニット、C M T … コンペアマッチタイマ、S I O F 0 … シリアル I / O (F I F O 付き)、S C I F 1 … F I F O 内蔵シリアルコミュニケーションインターフェイス、I² C … I² C コントローラ、M F I … 多機能インターフェイス、F L C T L … N A N D / A N D フラッシュインターフェイス、H - U D I … ユーザーデバックインターフェイス、A S E R A M … A S E メモリ、P F C … メモリピンファンクションコントローラ、R W D T … R C L K 動作ウォッチドッグタイマ、B S C … バスステートコントローラ、D M A C … ダイレクトメモリアクセスコントローラ。

【書類名】 図面

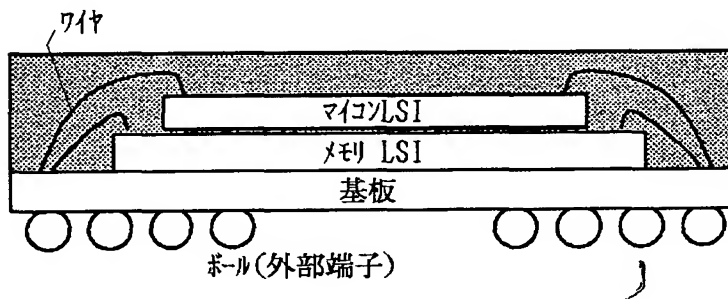
【図 1】



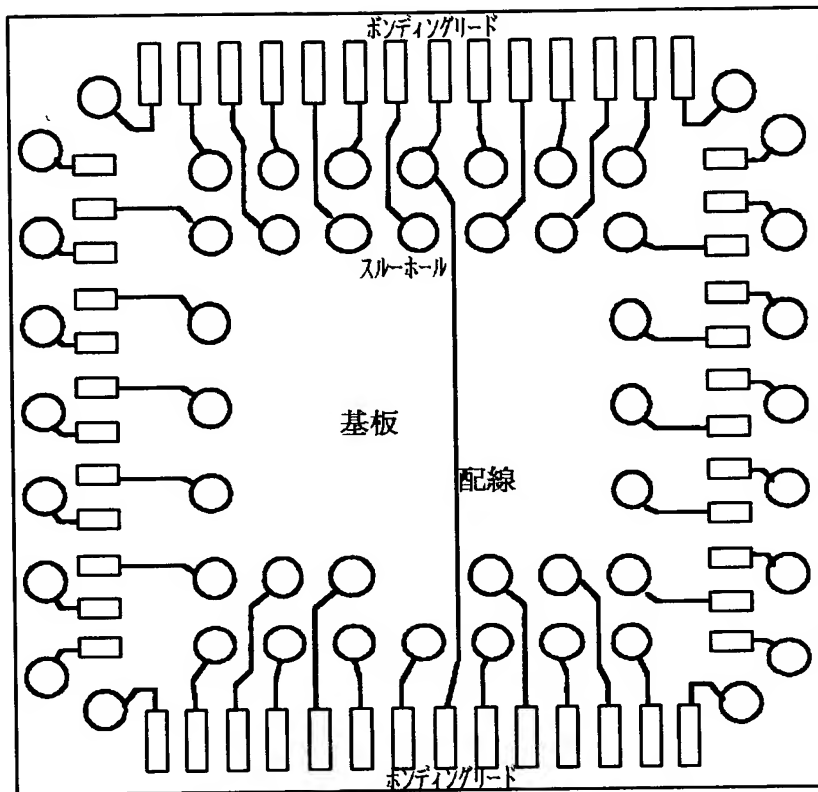
【図 2】



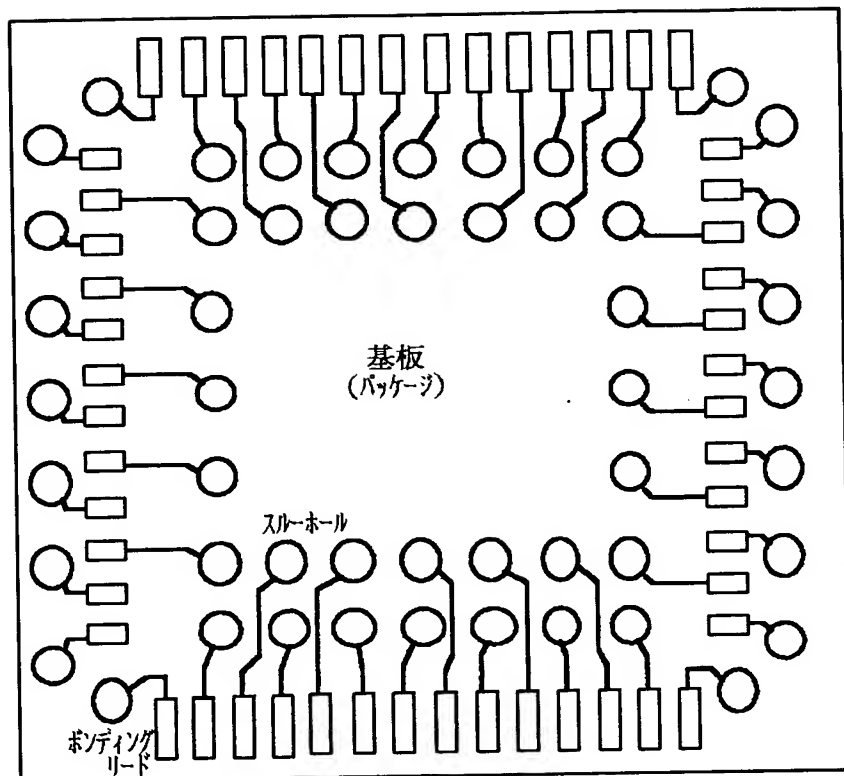
【図 3】



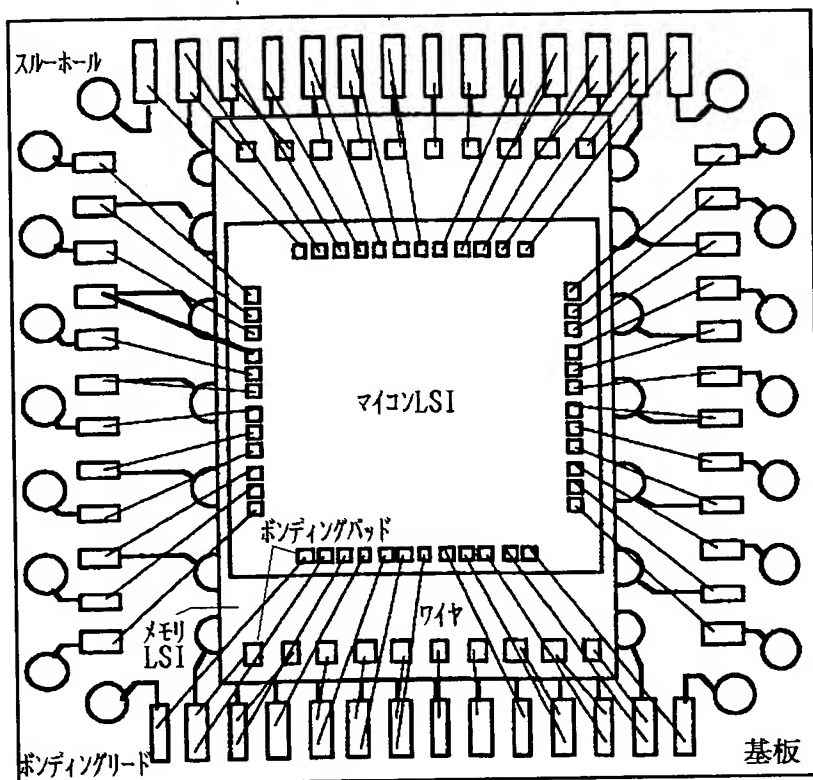
【図 4】



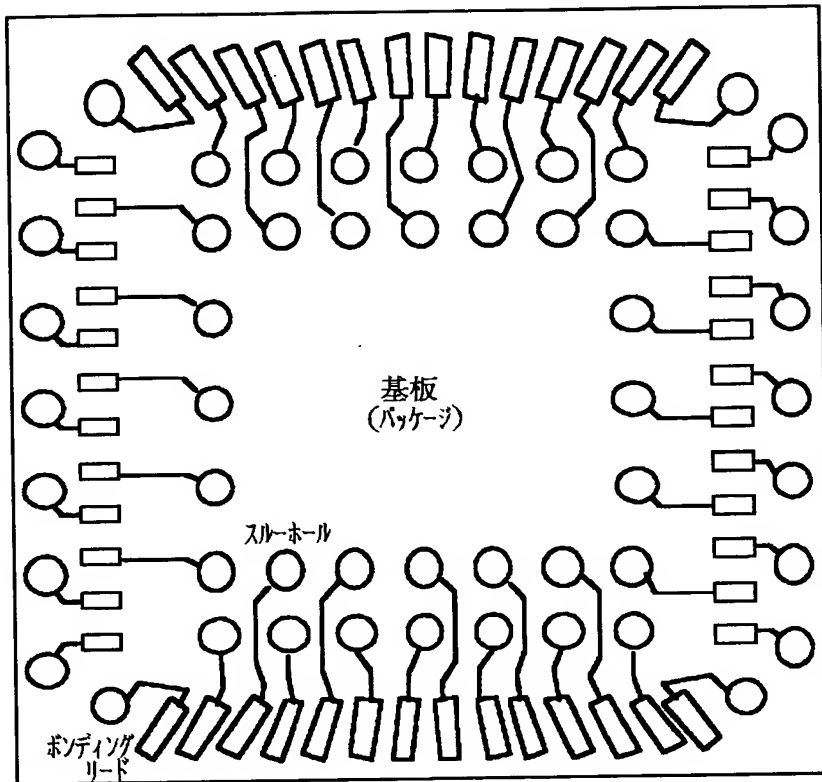
【図 5】



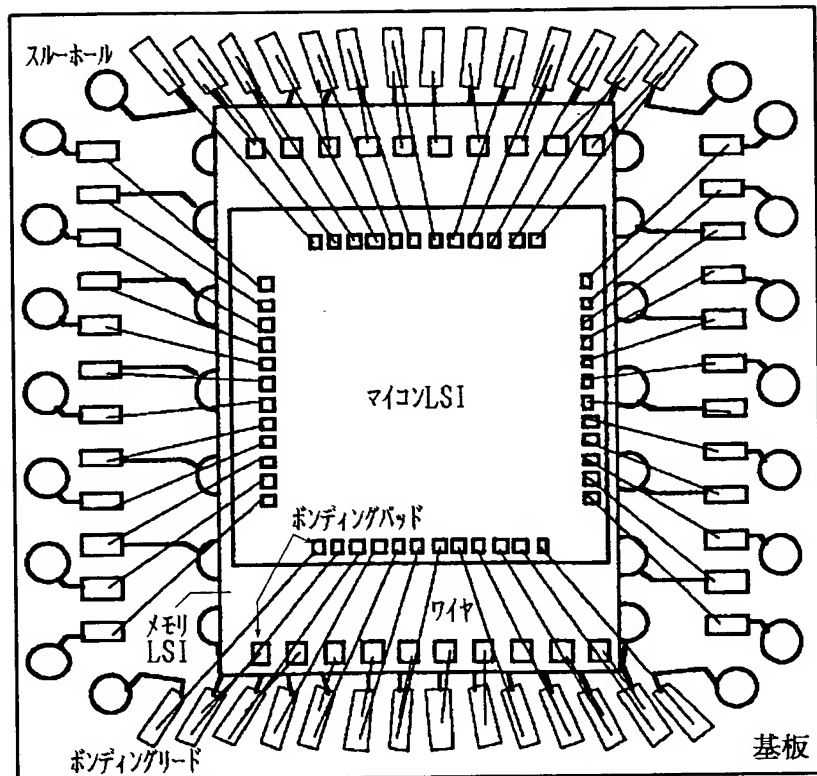
【図 6】



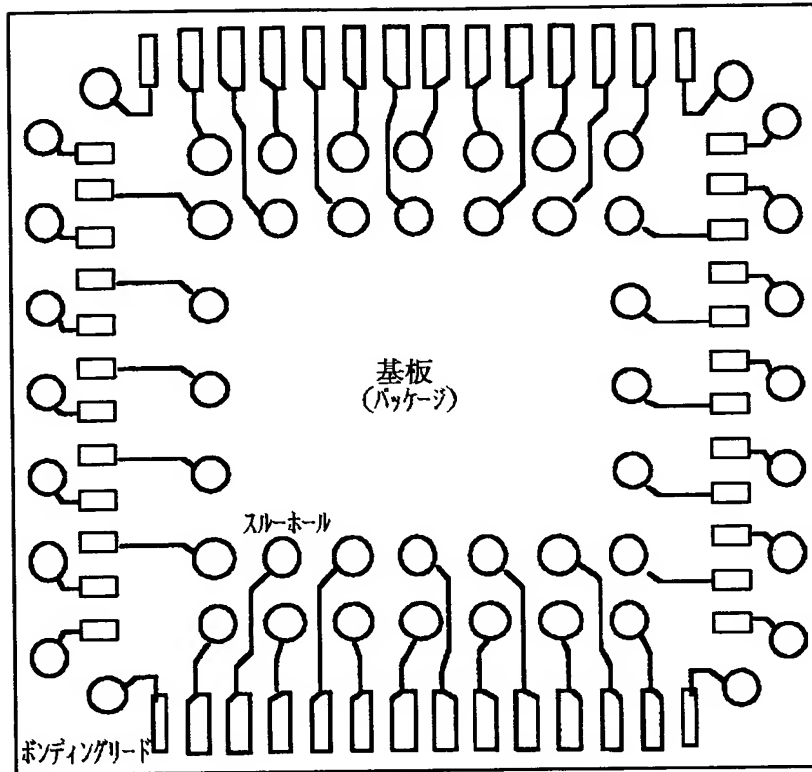
【図 7】



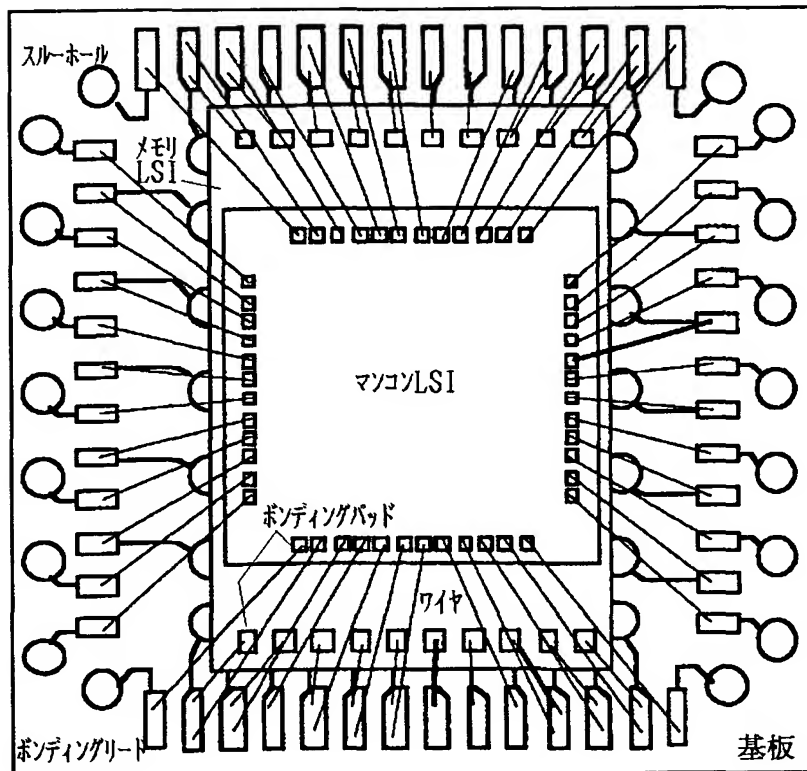
【図 8】



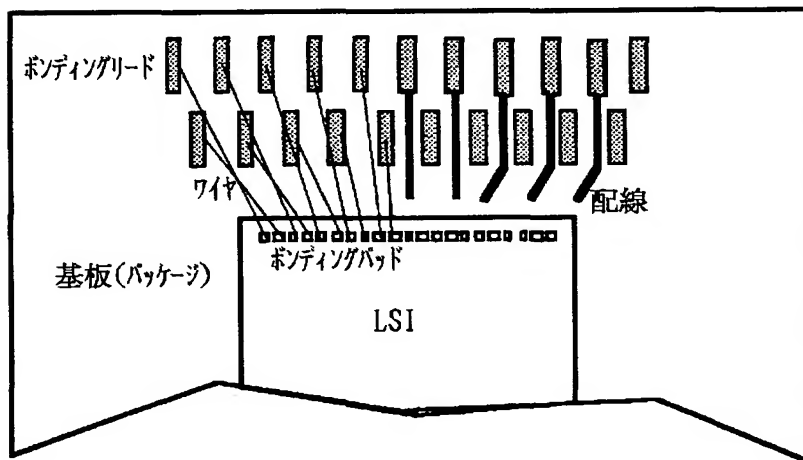
【図 9】



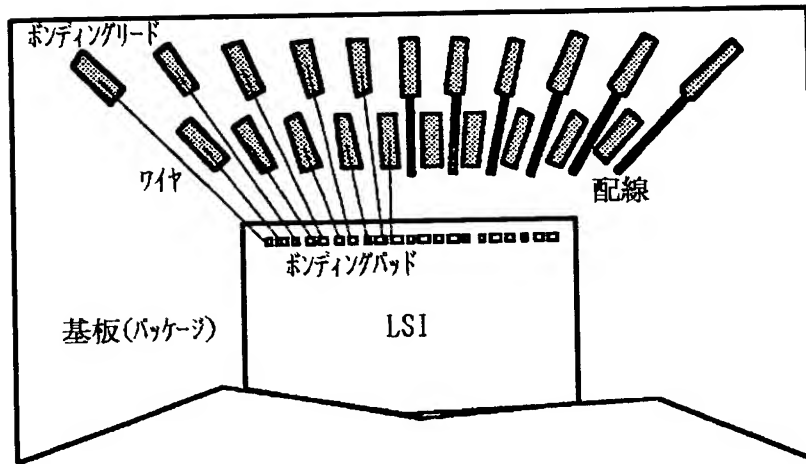
【図 10】



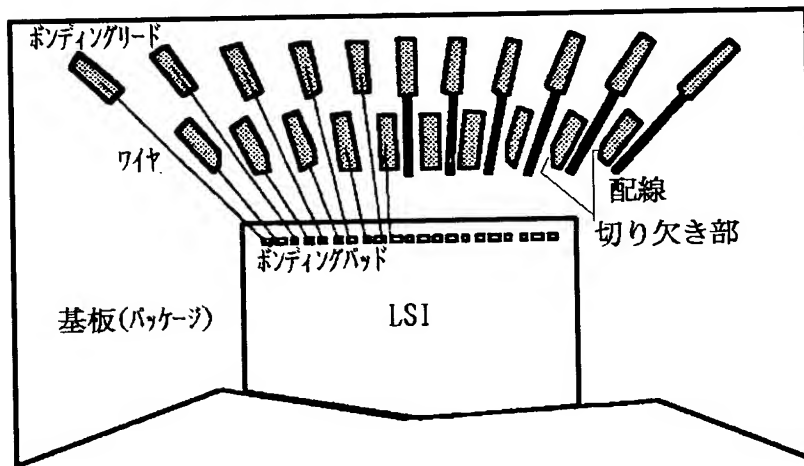
【図 11】



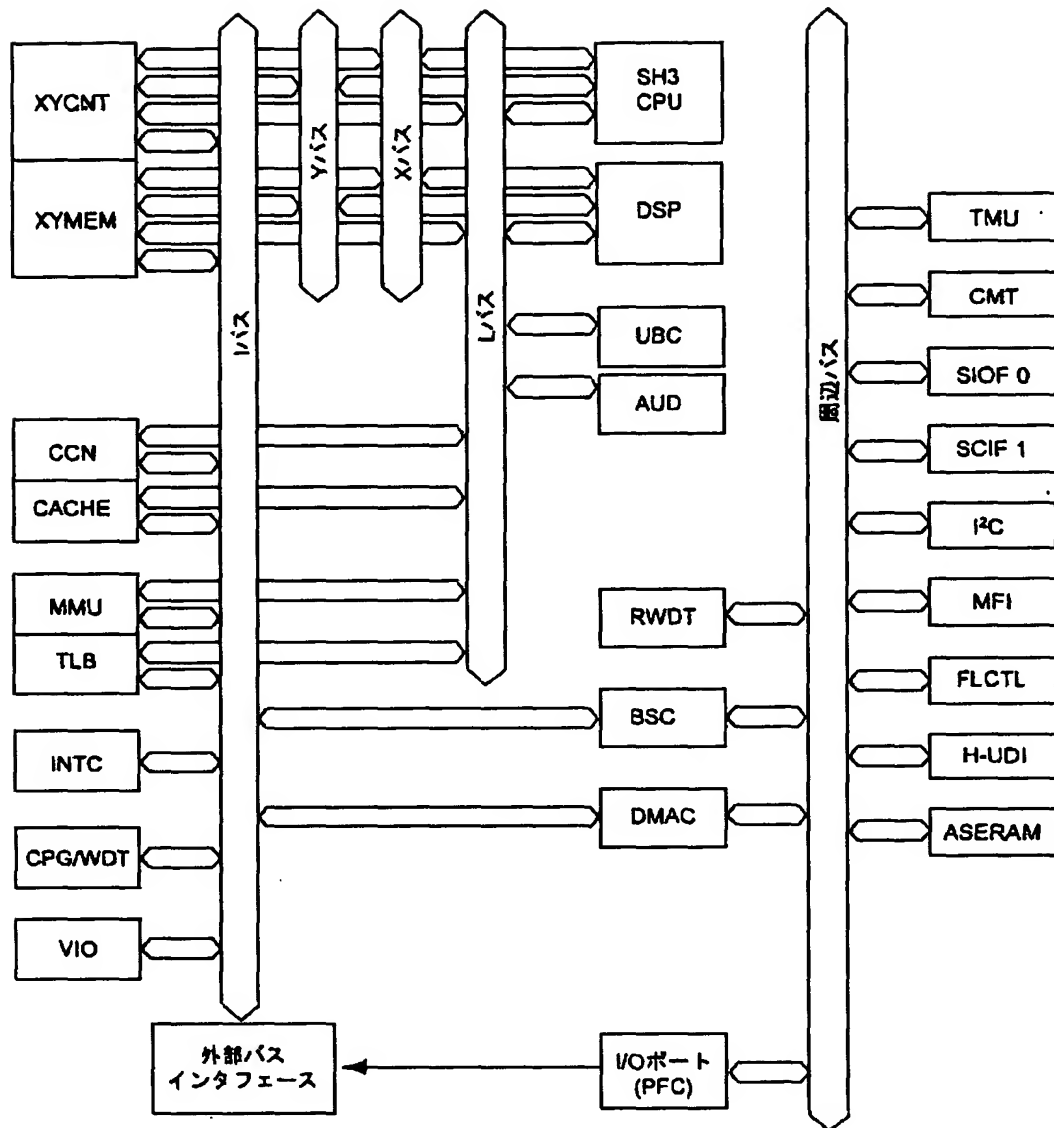
【図 1 2】



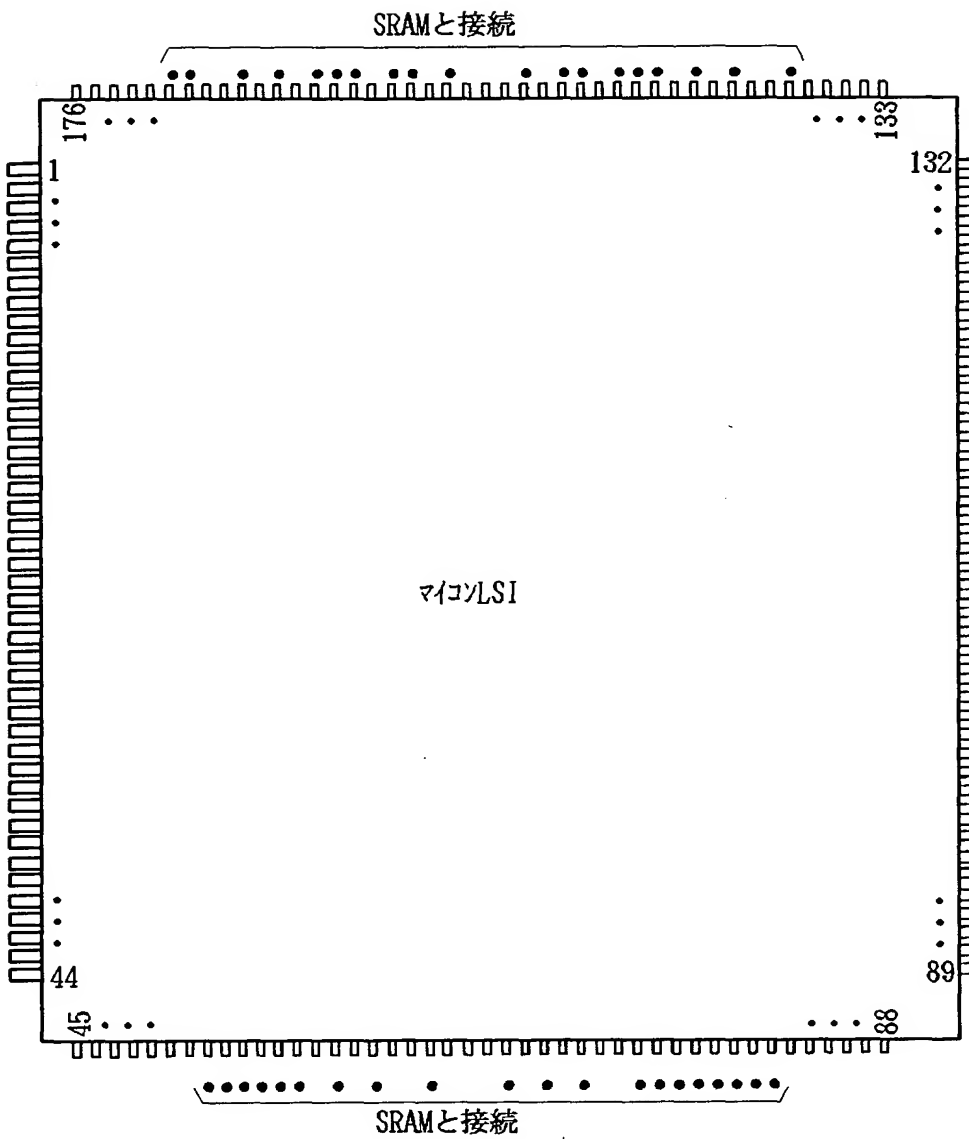
【図 1 3】



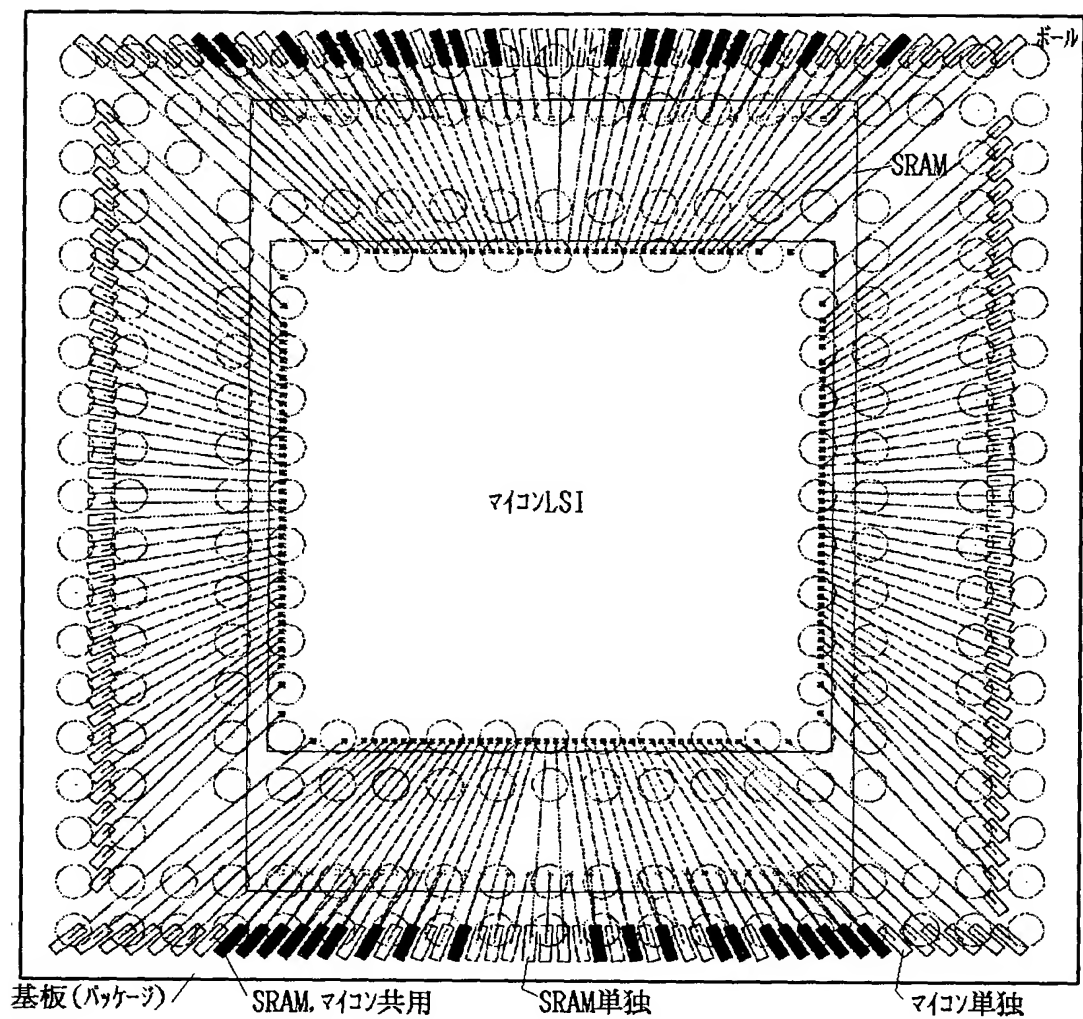
【図14】



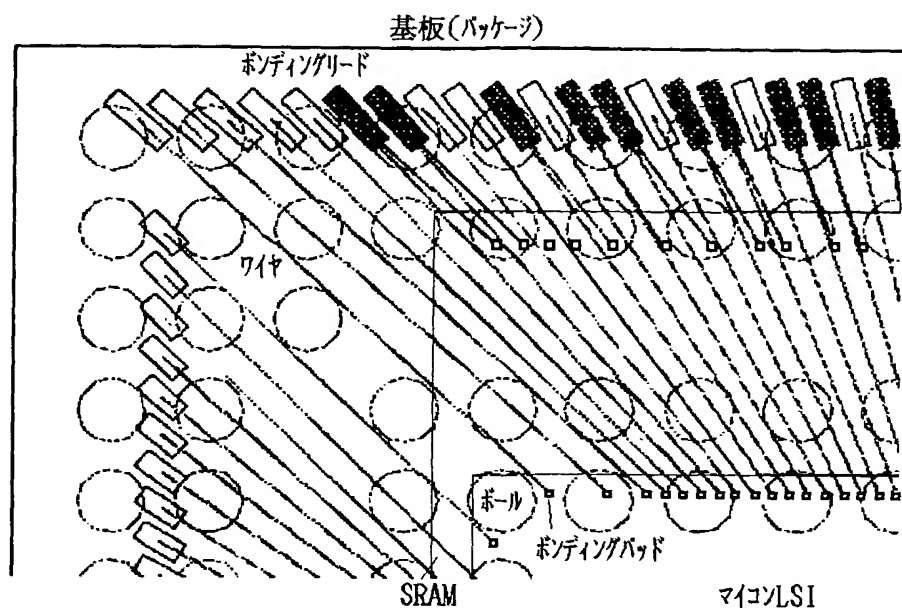
【図 1 5】



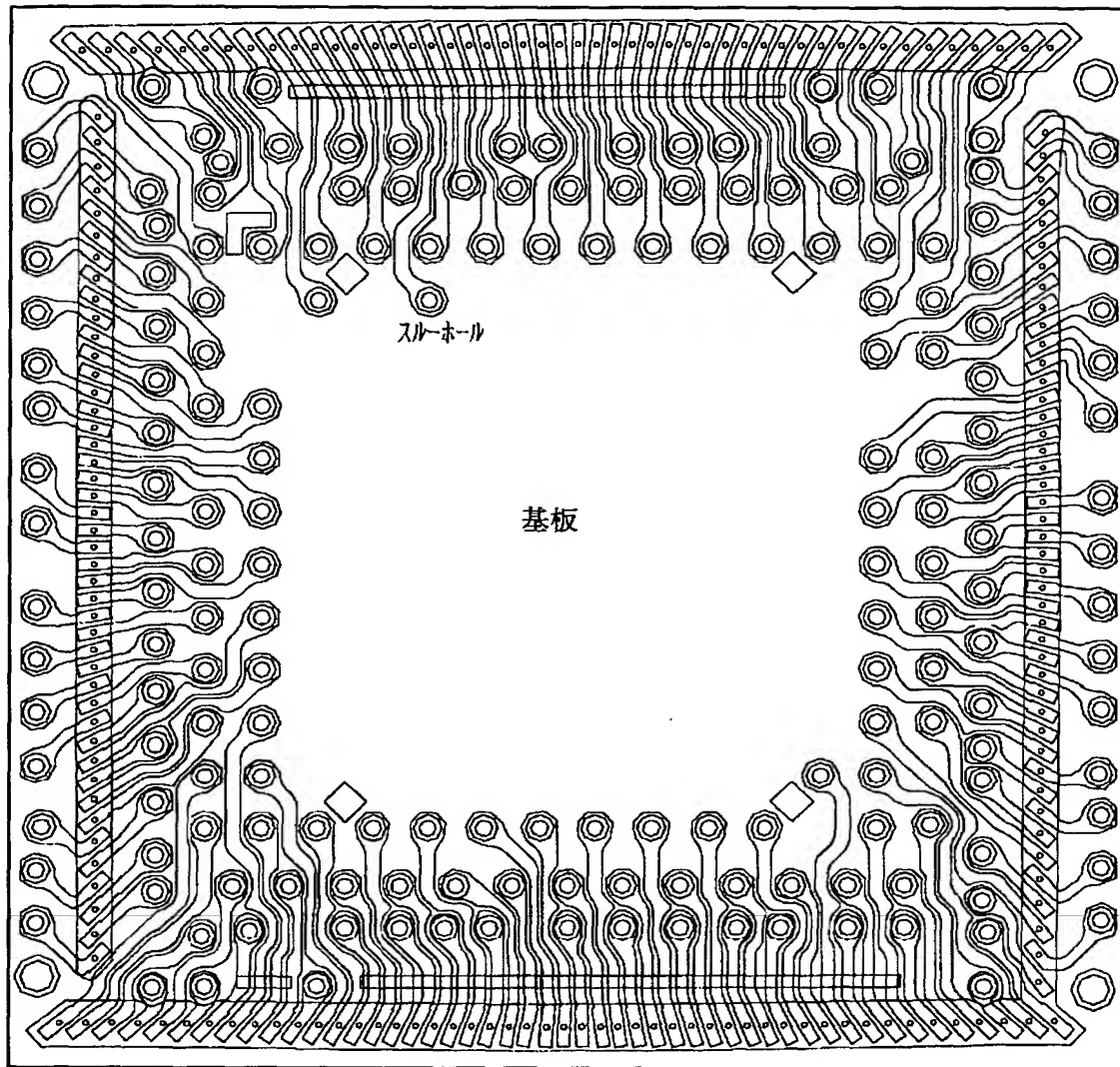
【図16】



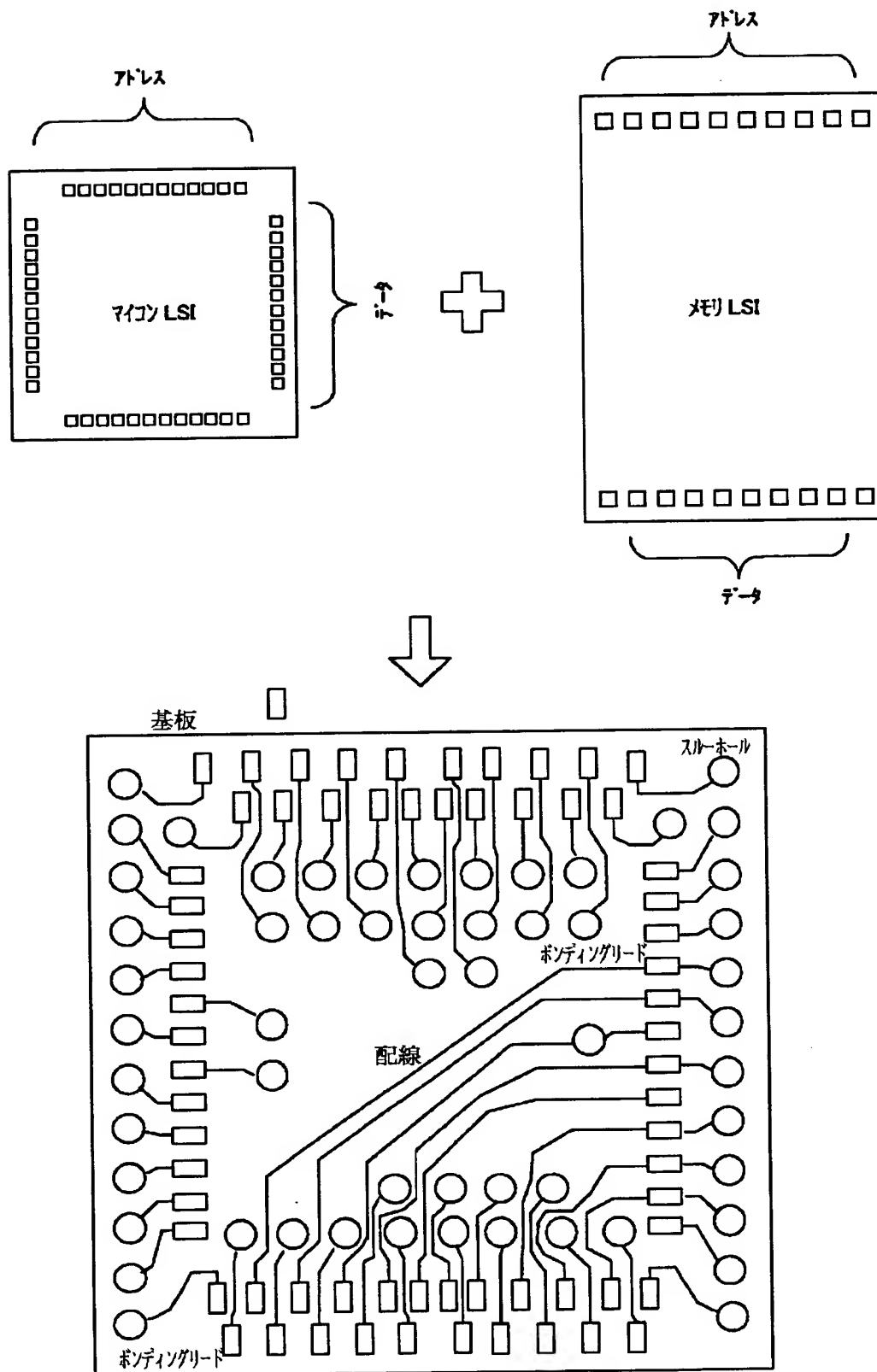
【図 17】



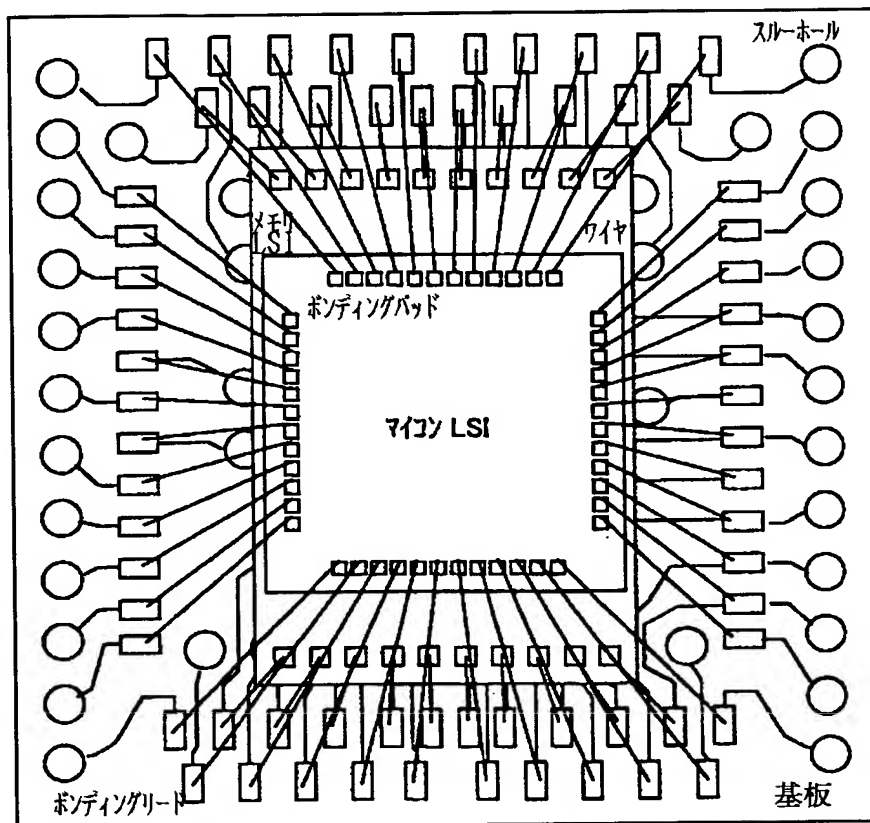
【図 1 8】



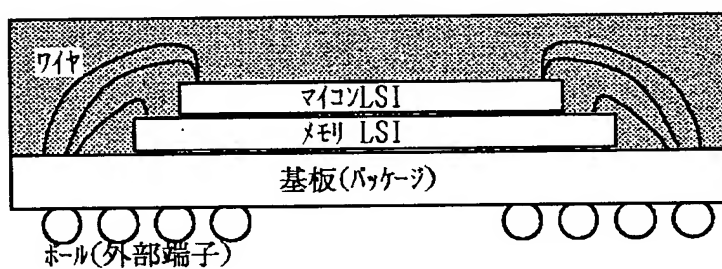
【図 19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 外形サイズの小型化、薄型化を実現したスタックド構造の半導体装置、外形サイズの小型化に加えて高性能と高信頼性を実現した半導体装置を提供する。

【解決手段】 メモリチップの対向する第1辺と第2辺に振り分けられたアドレス用とデータ用のボンディングパッドとにそれぞれに対応して設けられたボンディングリードと、上記ボンディングリードに接続されたアドレス端子及びデータ端子とを備えたパッケージ基板を用い、メモリアクセスにも使用されるアドレス出力回路及びデータ入出力回路と、データ処理機能を持つ信号処理回路とを含み、上記パッケージ基板のアドレス端子に対応したボンディングリードに接続されるボンディングパッドとデータ端子に対応したボンディングリードに接続されるボンディングパッドとが4つの辺のうちの2つの辺に振り分けて配置された半導体チップと上記メモリチップとを積層構造に搭載する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所